



Kurzanleitung zum *RTL Viewer und Technology Map Viewer*

Diese Kurzanleitung beschreibt anhand eines 2-Bit Zählers die Benutzung des RTL Viewers und Technology Map Viewers.

Folgendes Verilog HDL Programm soll als Grundlage verwendet werden.

Beispielprogramm:

```
module zaehler(Clock,up_down,qa);  
  
input Clock,up_down;  
output [1:0] qa;  
  
reg [1:0] qa;  
  
always @(posedge Clock)  
begin  
if (up_down) qa <= qa + 1;  
else qa <= qa - 1;  
  
end // end always  
  
endmodule
```

Die Übersetzung des Programms erfolgt durch **Start Compilation** im Menü **Processing** (alternativ Ctrl + L).

Benutzung des RTL Viewers:

Der **RTL Viewer** befindet sich im Menü **Tools**. Nach Start des Viewers ergibt sich folgendes Bild (Abbildung 1).

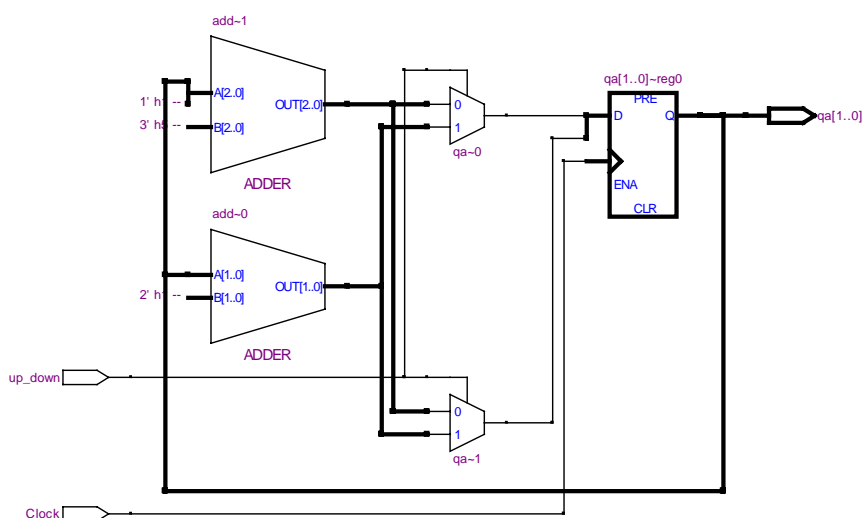


Abbildung 1

In dieser Ansicht steht ein Menü (rechte Maustaste) zur Verfügung. Es können (wie in der Abbildung 2 dargestellt) Komponenten z. B. das Eingangspad markiert werden. Danach kann z. B. die Quelle des Eingangspads im Verilog HDL Code angezeigt werden (**Locate in Design File**).

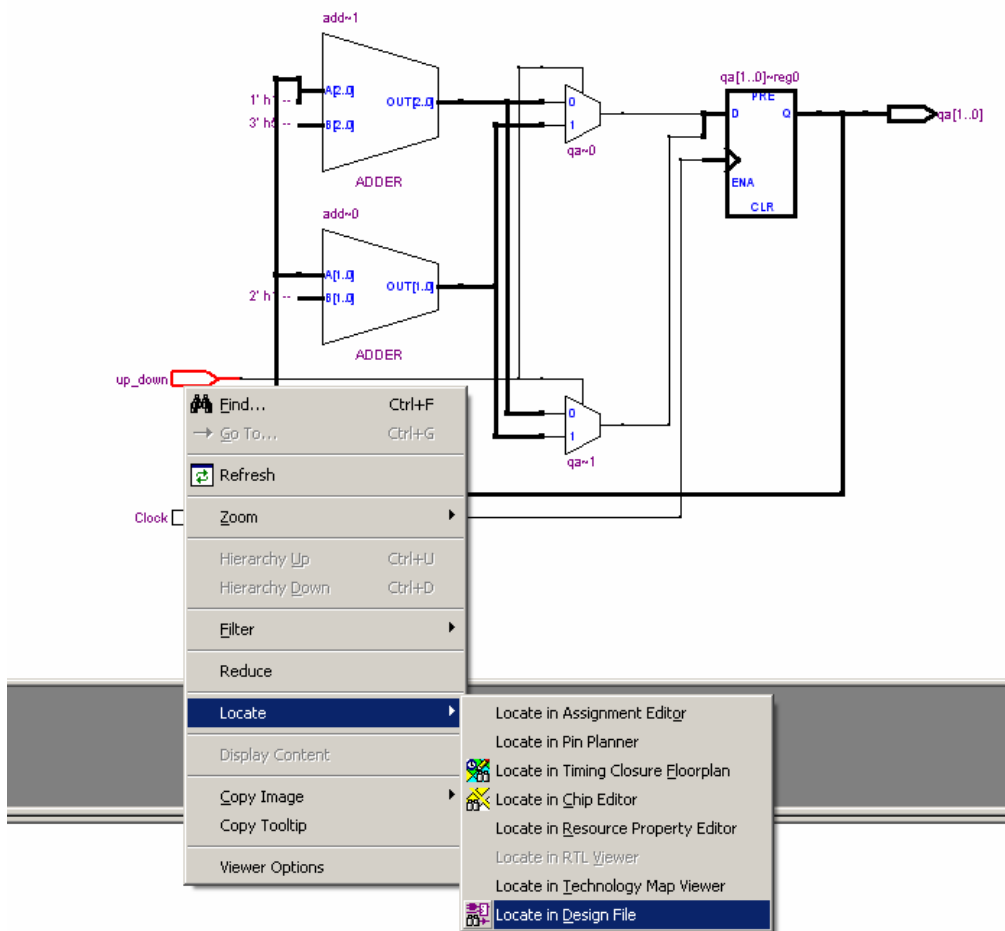


Abbildung 2

Der RTL Viewer stellt die Funktion des Zählers durch abstrakte logische Bausteine dar. Über die technische Realisierung auf dem FPGA sagt das RTL View wenig aus. Eine andere Ansicht des Systems erhält man durch Auswahl des **Technology Map Viewers** (ebenfalls im Menü **Tools**).

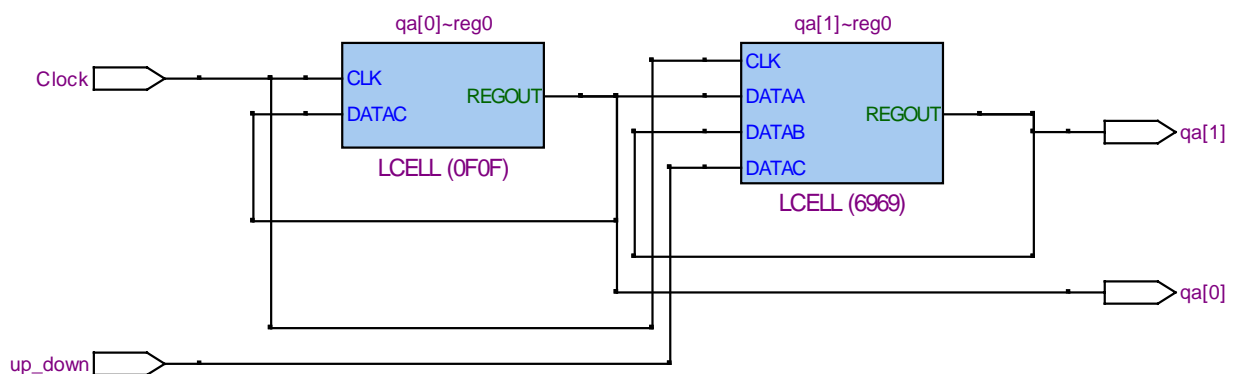


Abbildung 3

Durch Auswahl einer Komponente und rechter Maustaste öffnet sich ein Menü, in dem man den **Resource Property Editor** aufrufen kann.

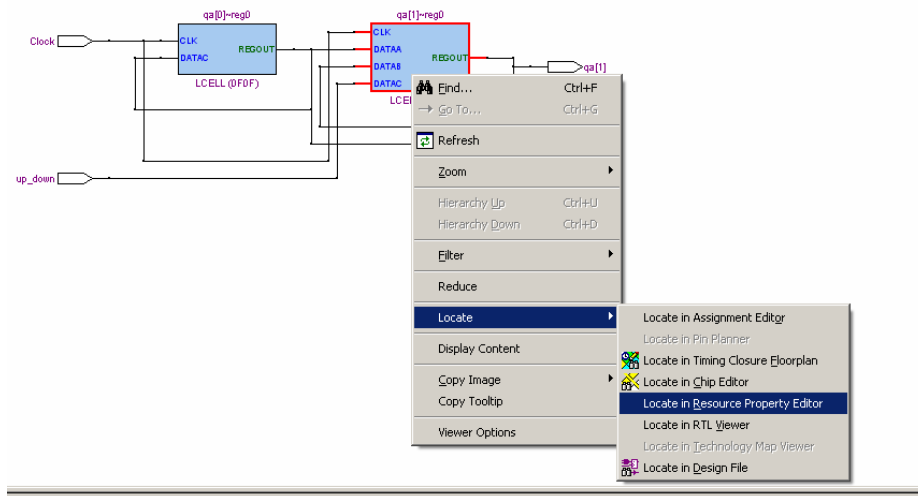


Abbildung 4

Folgendes Bild zeigt die benutzten Ressourcen eines Logik-Elements. Näheres zur technischen Realisierung der Logik-Elemente und I/O Blöcke des Cyclone finden sich in dem Handbuch (s. Downloadbereich) ab Seite 21.

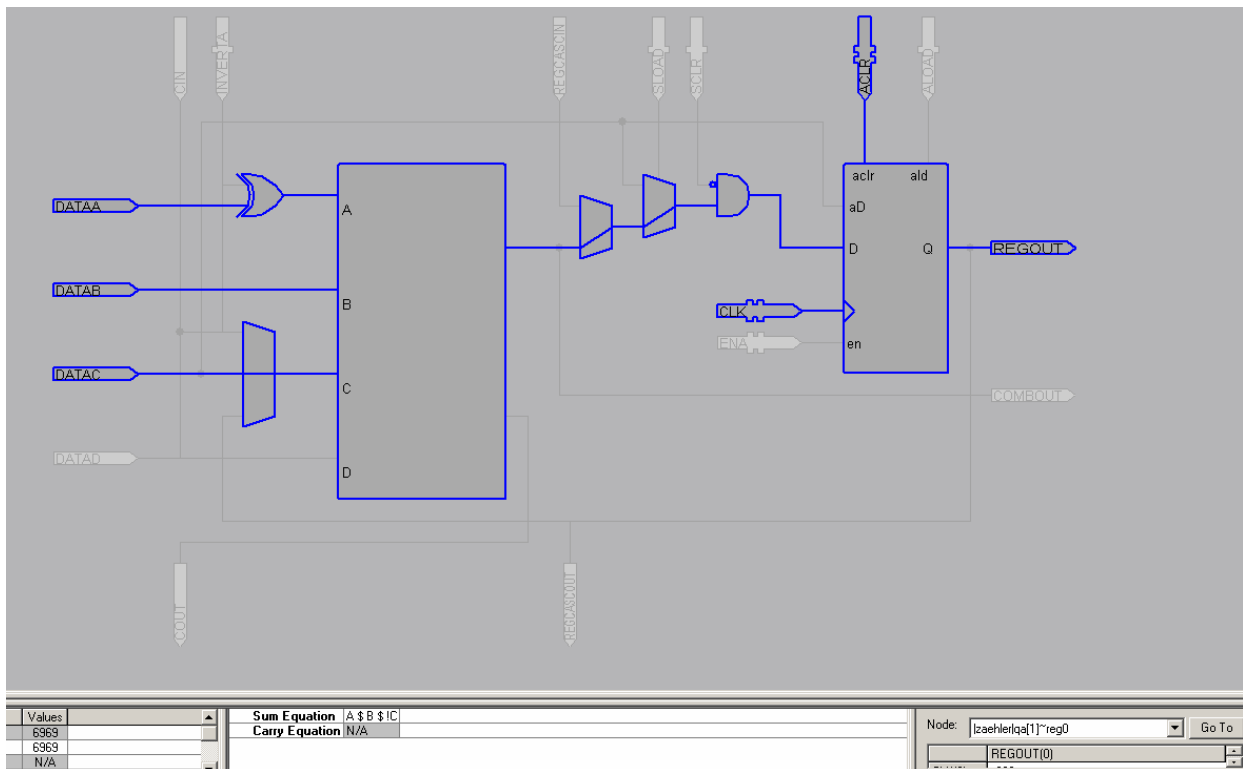


Abbildung 5

Die logische Gleichung, die durch die Look-Up Tabelle realisiert wird, ist der Zeile *Sum Equation* zu entnehmen. In diesem Beispiel: **A \$ B \$!C**.

Dabei bedeuten in den Gleichungen: **&** - und, **#** - oder, **\$** - xor, **!** - nicht.

Die Auswahl des zweiten Blockes ergibt das Bild aus Abbildung 6.
 Die *Sum Equation* lautet **!C**.

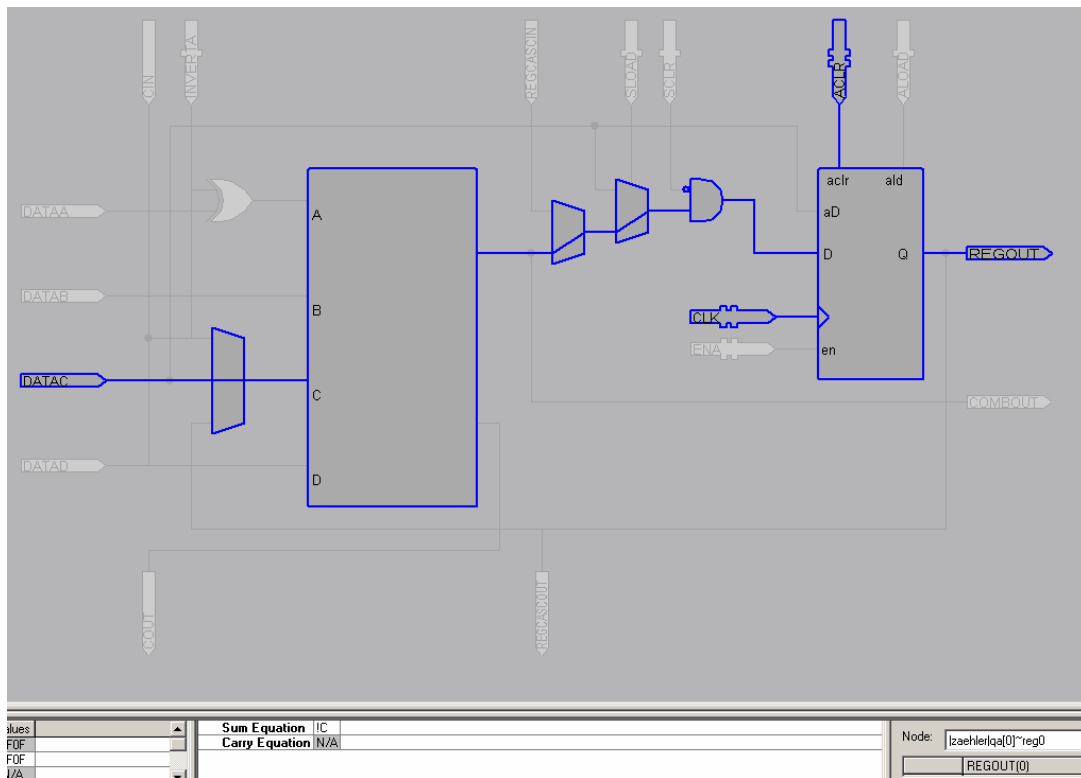


Abbildung 6

Aus diesen Informationen kann man also die logischen Gleichungen bzw. die Schaltfolgetabelle erstellen. DATA C des qa[1] FF ist auf eins gesetzt, dass heißt der Zähler zählt vorwärts.

	DATA C	qa[0]	DATA A	DATA B	DATA C	qa[1]
Init:	0	0	0	0	1	0
1. Takt	0	1	0	0	0	0
2. Takt	1	0	1	0	0	1
3. Takt	0	1	0	1	0	1
4. Takt	1	0	1	1	0	0

Tabelle 1